

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

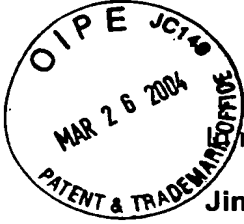
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re Patent Application of

Jimmy HSU

Application No.: **10/705,978**

Filed: November 13, 2003

For: **BONDING PAD DESIGN FOR
IMPEDANCE MATCHING
IMPROVEMENT**

Group Art Unit: 2835

Examiner: Not Yet Assigned

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450, Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant
claims the right of priority based upon **Taiwanese Patent Application No.
092124532 filed September 5, 2003.**

A certified copy of Applicant's priority document is submitted herewith.

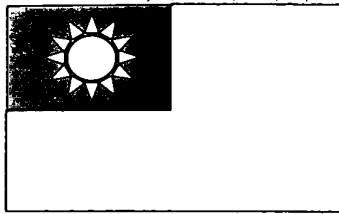
Respectfully submitted,

By:

Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: March 26, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 05 日
Application Date

申請案號：092124532
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

SW 10/705,978

1AU - 2835

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 24 日
Issue Date

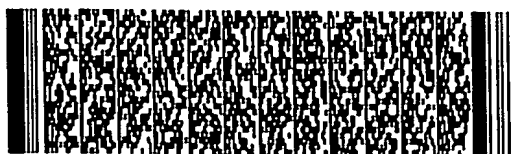
發文字號：09221191250
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種可改善匹配阻抗之打線墊結構
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 徐鑫洲
	姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：一種可改善匹配阻抗之打線墊結構)

一種可改善匹配阻抗之打線墊結構，其結構係為具有多層電性連接之電子元件傳送訊號以及接地之用，其結構主要特徵為：兩打線墊間具有相互平行、互相重疊且不連接之金屬平行板結構；而打線墊間結構具有此金屬平行板結構下，可增加與此打線墊結構耦接迴路之電容性，以調整迴路之匹配阻抗以及電氣特性。

五、(一)、本案代表圖為：第圖三圖

(二)、本案代表圖之元件代表符號簡單說明：

110：晶片

112：絕緣層

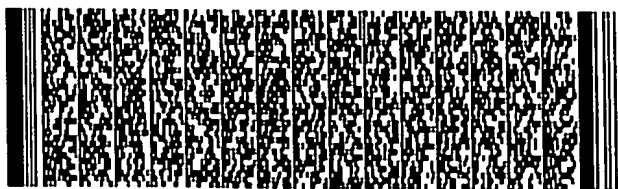
210-230：打線墊

320-360：金屬層

365-373：插塞部

M1-M6：金屬層

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

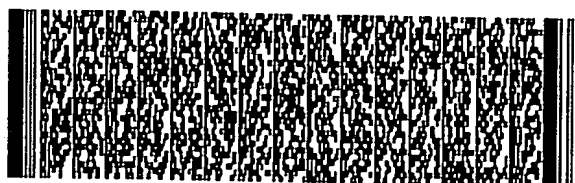
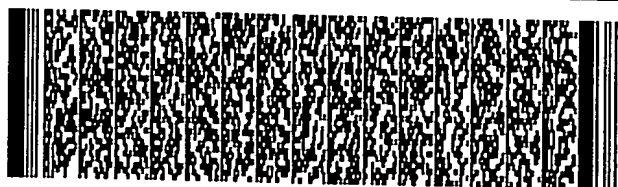
本發明是有關於一種打線墊結構，特別是有關於一種可改善匹配阻抗之打線墊結構。

【先前技術】

在電子產品不斷推陳出新下，其在工作上的頻率也逐漸增加，以滿足消費者的需求。舉例來說，一個射頻電路或高速電路其所對應之封裝結構，其工作頻率就常需要達到GHz等級。

因此，在高速工作頻率下，電子產品其對應之封裝體結構，就必須具有較佳之電氣特性，以使電子產品工作時能夠穩定。請參考圖一，圖一係為射頻電路其封裝體結構之剖面圖。如圖一所示，封裝體結構100中晶片110與基板127間之訊號傳遞可透過較長的金屬線125由晶片125耦接至基板127上之引腳(lead)。而晶片110與基板127間訊號之部分接地則常透過較短的金屬線120直接耦接至基板127上用以承載晶片的晶片墊(die pad)130上，以期望晶片110與基板127間較短的訊號迴路來達成封裝體結構100具有較好的電氣特性以及散熱要求。

不過，此高頻封裝體結構100中晶片110與基板127間迴路所對應之金屬線125、120截面積總和仍然過大，故，此高頻封裝體結構100所表現出來之電氣特性將屬於高電感性以及高阻抗性，且此高頻封裝體結構100於高頻工作時，會因此迴路阻抗不匹配而造成訊號間之嚴重反射，而



五、發明說明 (2)

迴路之折迴損耗 (Return Loss) 亦將變小。

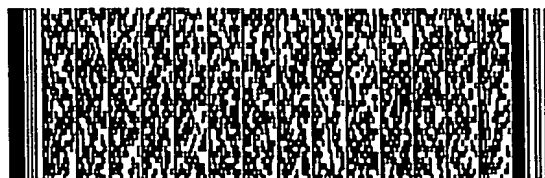
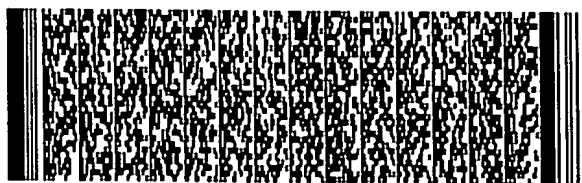
為了使此高頻封裝體結構100之電氣特性更佳，也就是封裝體結構100中晶片110與基板127間迴路之電感性與電容性能夠互相匹配，或返迴損耗與介入損耗能夠互相匹配。習知通常會在封裝體結構100中之晶片110內設置NMOS電晶體或PMOS電晶體作為穩定電壓之電容，以使封裝體結構100之電氣特性能夠較佳。但，NMOS電晶體或PMOS電晶體之設置卻無法使得封裝體結構100其訊號頻寬以及準確性有多方面之應用。

此外，又為了使此高頻封裝體結構100之電氣特性更佳，除了在封裝體結構100之晶片110中設置作為電容之NMOS電晶體或PMOS電晶體外，更利用金屬-半導體-金屬 (MIM) 製程來設置此NMOS電晶體或PMOS電晶體。但，此MIM製程亦有成本過高，無法廣泛運用之困擾。

有鑑於此，本發明提供一種可改善匹配阻抗之打線墊結構，期望藉由打線墊結構之簡單改良，以增加封裝體結構中晶片與基板間迴路之電容性，而使此迴路之匹配阻抗最佳，封裝體結構之電氣特性更好。

【發明內容】

本發明的主要目的是提供一種可改善匹配阻抗之打線墊結構，此打線墊結構係為具有多層電性連接之電子元件傳送訊號以及接地之用，其結構主要特徵為：兩打線墊間具有相互平行、互相重疊且不連接之金屬結構。



五、發明說明 (3)

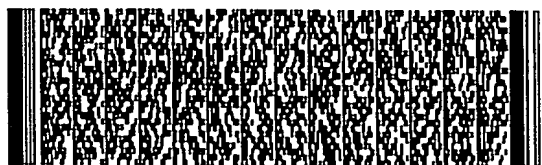
其中，此兩打線墊相鄰且由電子元件表面埋入至電子元件內部有一深度，此兩打線墊由電子元件表面至內部可視其所需而具有依序堆疊之複數個金屬層以及插塞部。且其中，此兩打線墊分別至少一金屬層面對面平行延伸且互相重疊有一區域，且兩打線墊其金屬層重疊區域相距有一距離。

在本發明較佳實施例中，此可改善匹配阻抗之打線墊結構為應用於高頻電路之封裝體結構，因此上述電子元件可為一晶片或是多層電路板。

在本發明較佳實施例中，晶片內之本發明打線墊結構為具有三打線墊，其分別為第一打線墊、第二打線墊以及第三打線墊。而第一、第二以及第三打線墊分具有三個插塞部以及三個金屬層，且第一打線墊之第一金屬層、第二打線墊之第二金屬層、第一打線墊之第二金屬層、第二打線墊之第三金屬層、第一打線墊之第三金屬層依序延伸重疊，第三打線墊之第一金屬層、第二打線墊之第二金屬層、第三打線墊之第二金屬層、第二打線墊之第三金屬層、第三打線墊之第三金屬層依序延伸重疊。

綜合上述，本發明提供一種可改善匹配阻抗之打線墊結構，期望藉由打線墊結構之簡單改良，以增加封裝體結構中晶片與基板間迴路之電容性，而使此迴路之匹配阻抗最佳，封裝體結構之電氣特性更好。

【實施方式】



五、發明說明 (4)

本發明基於封裝體結構中，晶片與基板間迴路所對應之金屬線截面積總和仍然過大，而高頻封裝體結構所表現出來之電氣特性將屬於高電感性以及高阻抗性，因此，高頻封裝體結構於高頻工作時，會因迴路間阻抗不匹配造成訊號間之嚴重反射，導致封裝體結構電氣特性不佳。

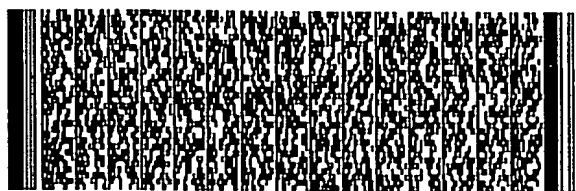
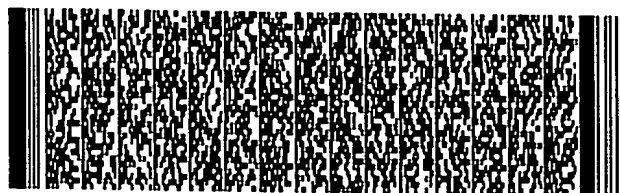
且，本發明基於以在封裝體結構中晶片內以MIM製程設置NMOS電晶體或PMOS電晶體之方式來增加電氣特性時，此設置方式由於其製程特殊，成本較高，且此設置方式亦將使得封裝體結構中晶片與基板迴路頻寬及準確性皆無法廣泛應用。

因此，本發明主要考慮改良封裝體結構中於晶片上用以承接金屬線之打線墊結構，期望將打線墊結構中與晶片內部多層金屬板結構連接之金屬層延伸，以藉由至少兩打線墊間金屬層之面對面平行延伸且重疊，而等效形成平行電路板，並增加封裝體結構中晶片與基板迴路間之電容性，來達到增加封裝體結構之電氣特性。

為使貴審查委員能對本發明之特徵、目的及功能有更進一步的認知與瞭解，茲配合圖式詳細說明如後：

請先參考圖二，圖二係為本發明較佳實施例之打線墊結構之上視圖。在圖二中，晶片110上具有打線墊210-230，而晶片110與基板127間之金屬線125、240、250，則分別透過打線墊220、210以及230與晶片內各層金屬板電性連接。

請接著參考圖三，圖三係為本發明較佳實施例之打線



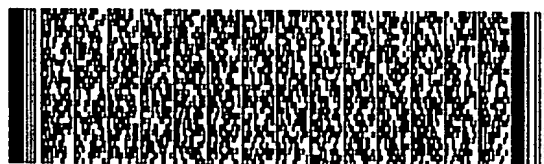
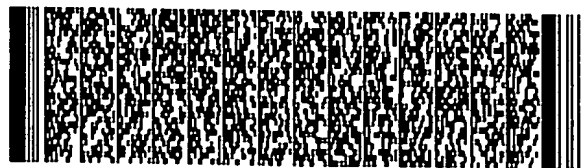
五、發明說明 (5)

墊結構之剖面圖。在圖三中，打線墊210-230相鄰且由晶片110表面310埋入至晶片110內部有一定深度，由晶片110表面310至晶片110內部之打線墊210-230結構可視晶片110之多層金屬設置（晶片110為6層金屬設計）而分別具有依序堆疊之金屬(metal)部320-360以及插塞(plug)部365-373。

即打線墊210由晶片110表面310至晶片110內依序具有插塞部365、金屬層320、插塞部366、金屬層330、插塞部367以及金屬層340。打線墊220由晶片110表面310至晶片110內依序具有金屬層345、插塞部368、金屬層349、插塞部369、金屬層348以及插塞部370。打線墊230由晶片110表面310至晶片110內依序具有插塞部371、金屬層349、插塞部3372、金屬層350、插塞部373以及金屬層360。

而打線墊210其金屬層320-340則分別作為與晶片110內第五金屬層M5、第三金屬層M3以及第一金屬層M1耦接。打線墊220其金屬層345-348則分別作為與晶片110內第六金屬層M6、第四金屬層M4以及第二金屬層M2耦接。打線墊230其金屬層349-360則分別作為與晶片110內第五金屬層M5、第三金屬層M3以及第一金屬層M1耦接。可同時參考圖四，圖四係為圖三之立體結構圖。

其中，此打線墊210-230結構中特別的是，打線墊210其金屬層320-340與打線墊220其金屬層345-348相互面對面平行延伸且互相重疊有一區域，且兩打線墊210、220其分別之金屬層320-340、345-348兩兩將形成相距有一距離



五、發明說明 (6)

d 之平行金屬板結構380。因此，打線墊210-220間具有由金屬層320、金屬層347、金屬層330、金屬層348、金屬層340依序排列之平行金屬板結構380。其間並存有絕緣層（如矽氧化層）112

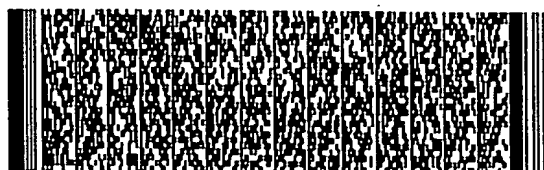
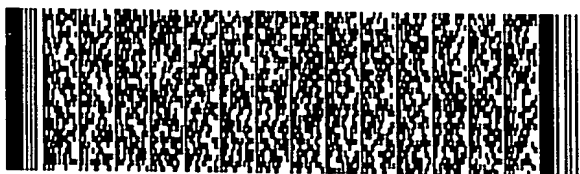
打線墊220其金屬層345-348與打線墊230其金屬層349-360亦是，相互面對面平行延伸且互相重疊有一區域，兩打線墊220、230其分別之金屬層345-348、349-360兩兩將亦形成相距有一距離d之平行金屬板結構390。因此，打線墊220-230間具有由金屬層349、金屬層347、金屬層350、金屬層348、金屬層360依序排列之平行金屬板結構390。

由於兩打線墊210、220、230其金屬層320-360間將具有平行金屬板結構380、390，因此當晶片110藉由打線墊210-230各金屬層320-360傳遞訊號至晶片110中之各金屬層M1-M6時，熟悉此技藝者可知，打線墊210-230間所出現之平行金屬板結構380、390將使得晶片110內迴路之電容性增加。

故，根據迴路之匹配阻抗公式：

$$\text{阻抗}(Z) = \sqrt{(\text{電感}(L) / \text{電容}(C))}$$

可知，圖一習知封裝體結構100中晶片110與基板120間迴路之高電感性可透過本發明打線墊210-230結構所呈現之高電容性而得到匹配。換句話說，晶片110與基板120間迴路之阻抗(Z)即可透過本發明打線墊210-230結構所呈現之高電容性而趨於最佳值。



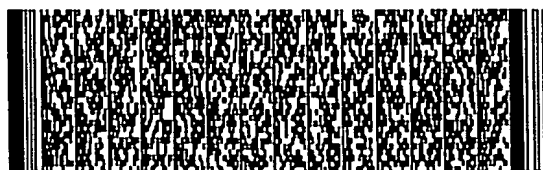
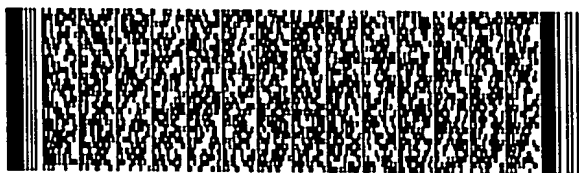
五、發明說明 (7)

從實驗數據亦可知，當圖一封裝體結構中晶片110使用本發明之打線墊210-230結構時，其電氣表現，即介入損耗及返回損耗之表現，將趨於最佳值。請參考圖五表格並對照圖六A以及圖六B，圖五、圖六A以及圖六B係為圖一封裝體結構100使用本發明打線墊210-230結構前後其插入損耗(S11)、返回損耗(S21)之對照表及對照圖。

當封裝體結構100使用本創打線墊210-230結構，且封裝體結構110工作頻率為2.4GHz時，其整體迴路之返回損耗(S11)-24.29dB較使用前-16.70下降7.59dB，其整體迴路之插入損耗(S21)-0.11dB較使用前-0.18上升0.07dB。而封裝體結構110工作頻率為5.0GHz時，其整體迴路之返回損耗(S11)-13.24dB較使用前-10.24下降3dB，其整體迴路之插入損耗(S21)-0.11dB較使用前-0.18上升0.24 dB。

因此，封裝體結構100其整體迴路在使用本發明打線墊210-230結構後，其整體迴路之插入損耗(S21)下降，其整體迴路之返回損耗(S11)提升。而插入損耗(S21)之下降將有助於封裝體結構100其高頻信號之完整傳遞以及能量損失降低。故，使用本發明打線墊210-230結構後之封裝體結構100其整體迴路如此之返回損耗(S11)以及插入損耗(S21)分佈將可趨於最佳化。

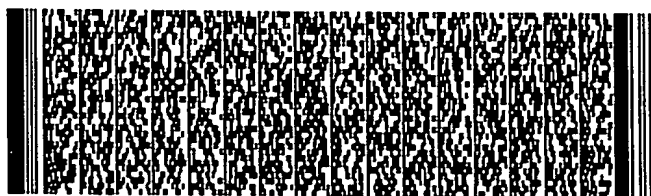
此外，若根據本發明兩打線墊間出現有平行金屬板結構之概念，本發明之打線墊結構將不僅能用於晶片上，亦將可廣泛運用於打線式之封裝設計中。



五、發明說明 (8)

綜合上述，本發明提出一種可改善匹配阻抗之打線墊結構，藉由兩打線墊間金屬層之面對面之平行延伸而形成平行金屬板結構，以適當增加與打線墊連接迴路之電容性。因此，當本發明打線墊結構運用於封裝設計時，不但能使封裝體結構其整體迴路之阻抗得以匹配，且其整體迴路之插入損耗、返回損耗分佈將可趨於最佳化，而具有較佳之電氣特性。

唯以上所述者，僅為本發明之較佳實施例，當不能以之限制本發明的範圍。即大凡依本發明申請專利範圍所做之均等變化及修飾，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍，故都應視為本發明的進一步實施狀況。



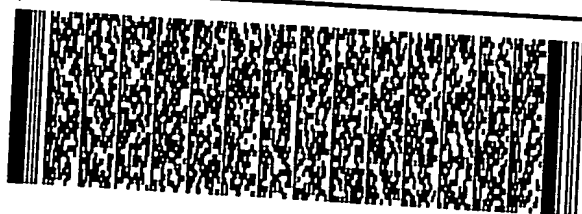
圖式簡單說明

【圖式簡單說明】

圖一係為射頻電路其封裝體結構之剖面圖；
圖二係為本發明較佳實施例之打線墊結構之上視圖
圖三係為本發明較佳實施例之打線墊結構之剖面圖
圖四係為圖三之立體結構圖；以及
圖五、圖六A以及圖六B係為圖一封裝體結構使用
明打線墊結構前後其插入損耗、返回損耗之對照表及
圖。

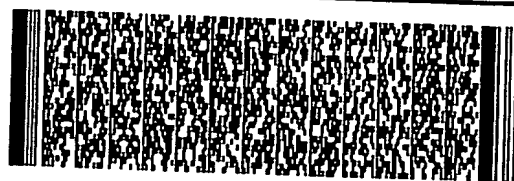
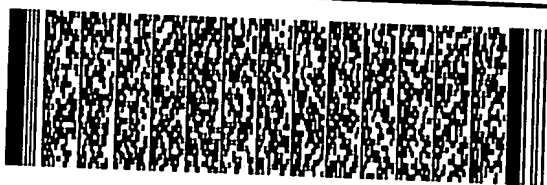
圖號說明：

- 100：封裝體結構
- 110：晶片
- 112：絕緣層
- 120、125、240、250：金屬線
- 127：基板
- 130：晶片墊
- 210-230：打線墊
- 320-360：金屬層
- 365-373：插塞部
- M1-M6：金屬層



六、申請專利範圍

1. 一種可改善匹配阻抗之打線墊結構，該打線墊結構●係為具有多層電性連接之一電子元件傳送訊號以及接地之用，其結構包括：
至少兩打線墊，相鄰且由該電子元件表面埋入至該電子元件內部有一深度，該兩打線墊由該電子元件表面至內部可視其所需而具有依序堆疊之至少兩個金屬層以及插塞部，其中，該兩打線墊分別至少一金屬層面對面平行延伸且互相重疊有一區域，且該兩打線墊其金屬層重疊區域相距有一距離。
2. 如申請專利範圍第1項所述之可改善匹配阻抗之打線墊結構，其中該電子元件為一晶片。
3. 如申請專利範圍第1項所述之可改善匹配阻抗之打線墊結構，其中該電子元件為一電路板。
4. 如申請專利範圍第2項所述之可改善匹配阻抗之打線墊結構，其中該晶片具有六層板。
5. 如申請專利範圍第4項所述之可改善匹配阻抗之打線墊結構，其中該結構具有三打線墊，其分別為一第一打線墊、第二打線墊以及第三打線墊。
6. 如申請專利範圍第5項所述之可改善匹配阻抗之打線墊結構，其中該第一、該第二以及該第三打線墊分具有三個插塞部以及三個金屬層，且該第一打線墊之第一金屬層、該第二打線墊之第二金屬層、該第一打線墊之第二金屬層、該第二打線墊之第三金屬層、第一打線墊之第三金屬層依序延伸重疊，該第三打線墊之第一金屬層、



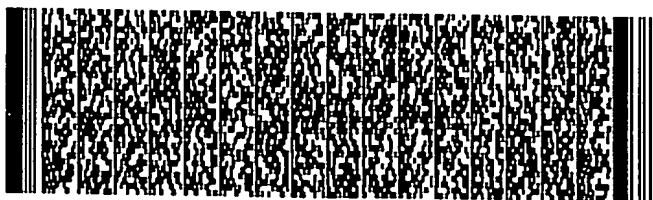
六、申請專利範圍

該第二打線墊之第二金屬層、該第三打線墊之第二金屬層、該第二打線墊之第三金屬層、該第三打線墊之第三金屬層依序延伸重疊。

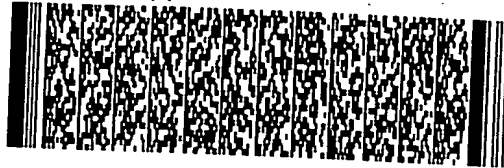
7. 一種可改善匹配阻抗之打線墊結構，該打線墊結構係為具有多層電性連接之一電子元件傳送訊號以及接地之用，其結構主要特徵為：

兩打線墊間額外具有相互平行、互相重疊且不連接之金屬板結構。

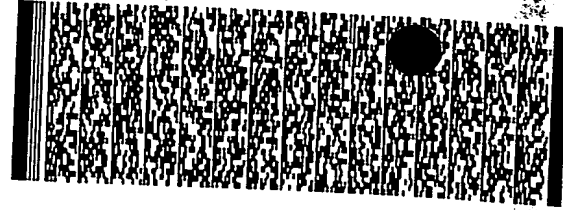
8. 如申請專利範圍第7項所述之可改善匹配阻抗之打線墊結構，其中該兩打線墊相鄰且由該電子元件表面埋入至該電子元件內部有一深度，該兩打線墊由該電子元件表面至內部可視其所需而具有依序堆疊之複數個金屬層以及插塞部，其中，該兩打線墊分別至少一金屬層面對面平行延伸且互相重疊有一區域，且該兩打線墊其金屬層重疊區域相距有一距離。



第 1/14 頁



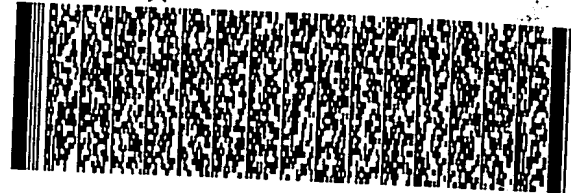
第 2/14 頁



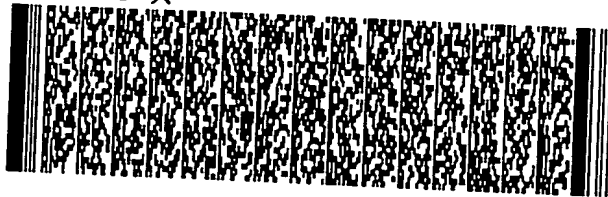
第 3/14 頁



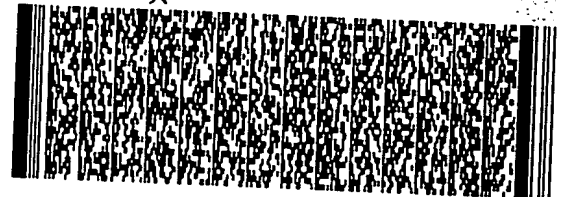
第 4/14 頁



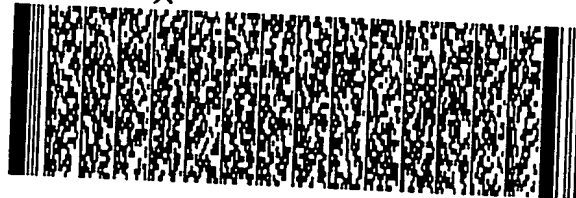
第 4/14 頁



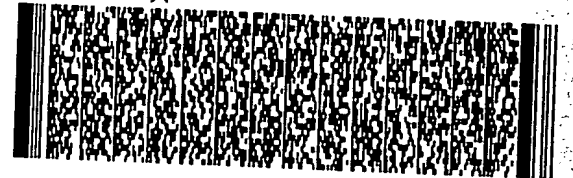
第 5/14 頁



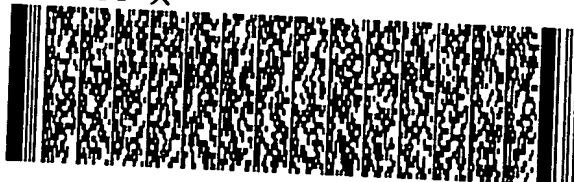
第 5/14 頁



第 6/14 頁



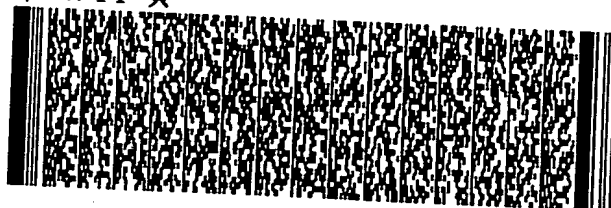
第 6/14 頁



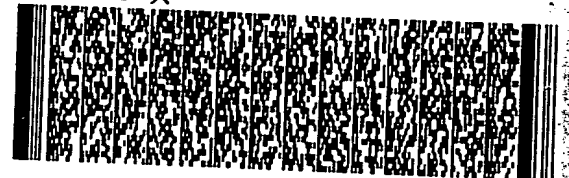
第 7/14 頁



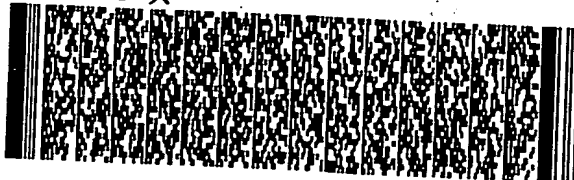
第 7/14 頁



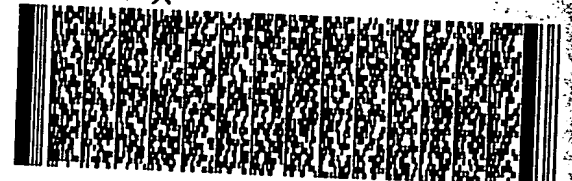
第 8/14 頁



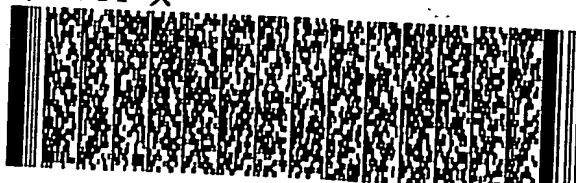
第 8/14 頁



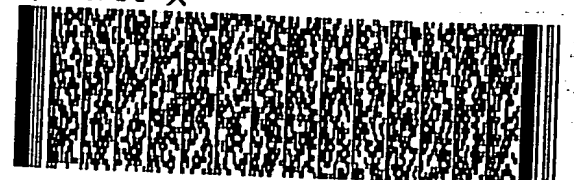
第 9/14 頁



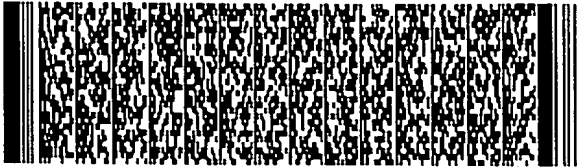
第 9/14 頁



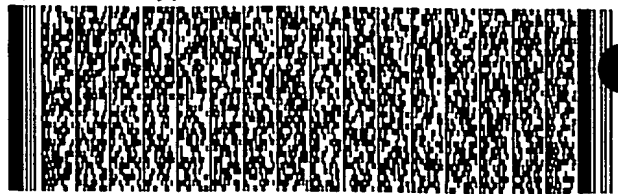
第 10/14 頁



第 10/14 頁



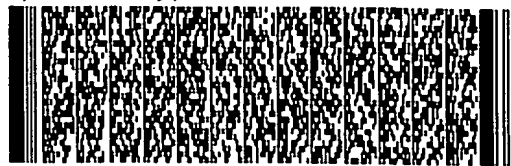
第 11/14 頁



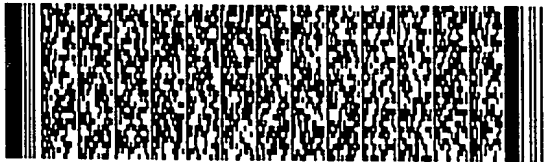
第 12/14 頁



第 13/14 頁

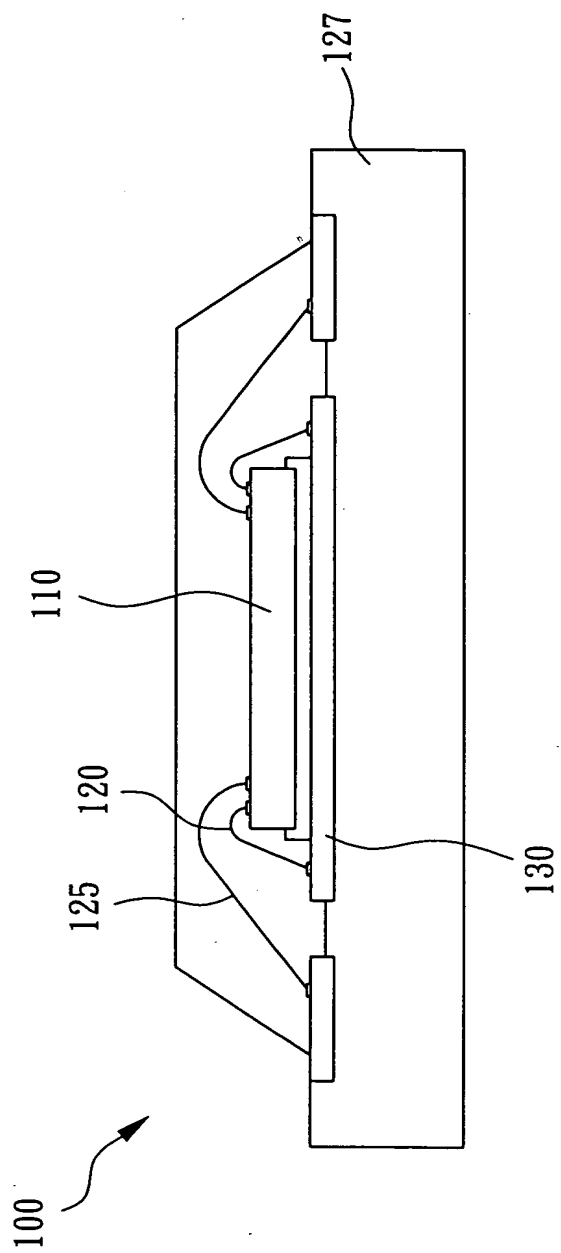


第 13/14 頁

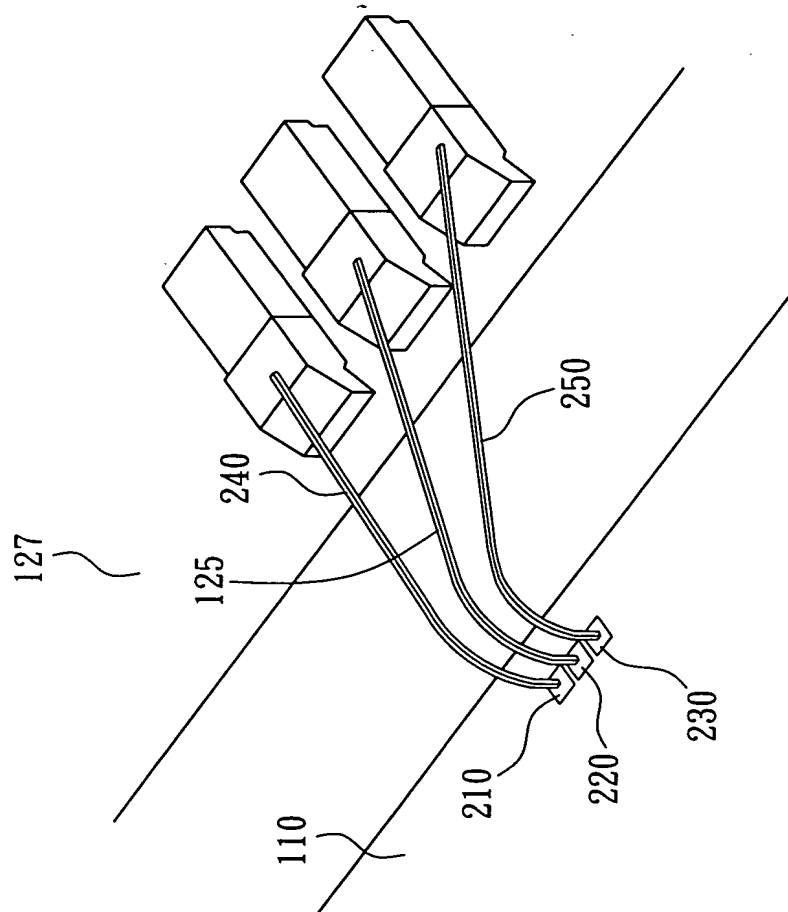


第 14/14 頁

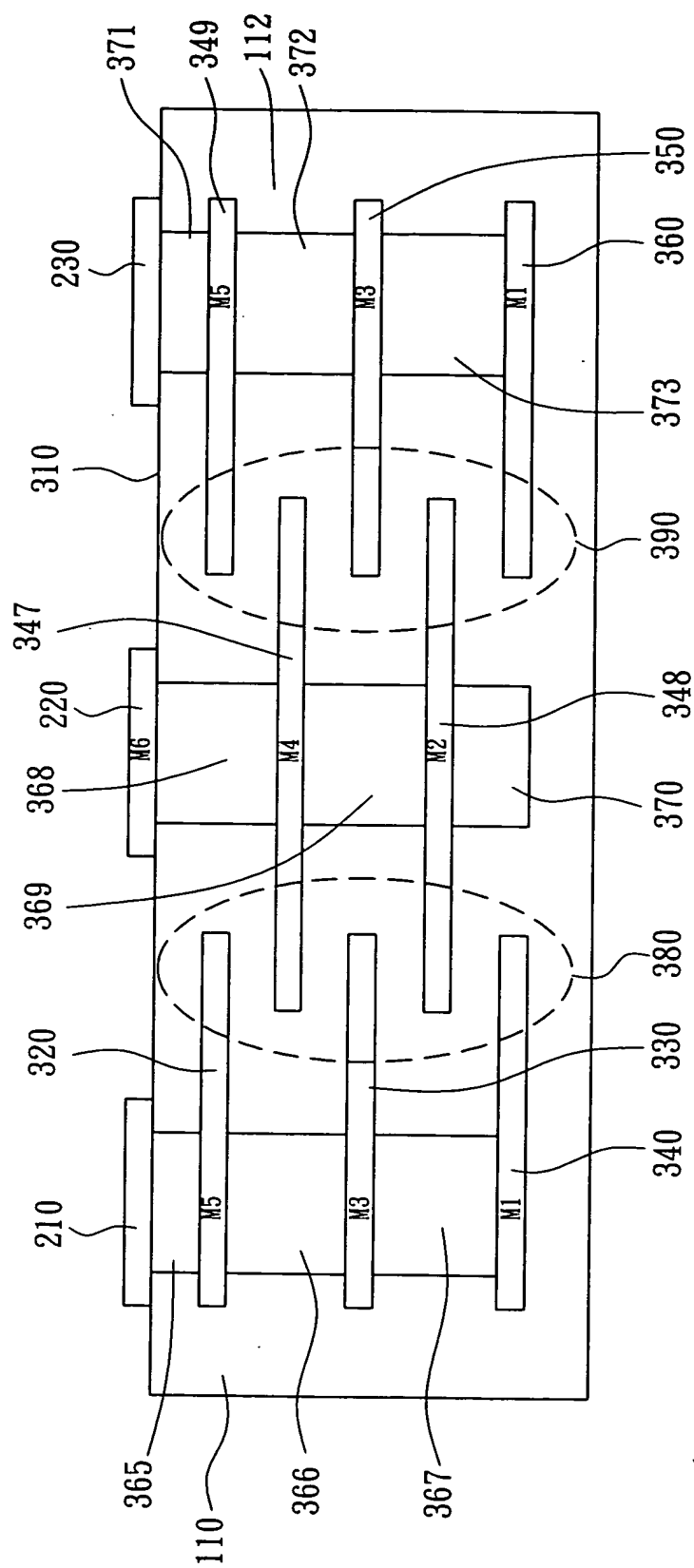




圖一



圖二



三
回

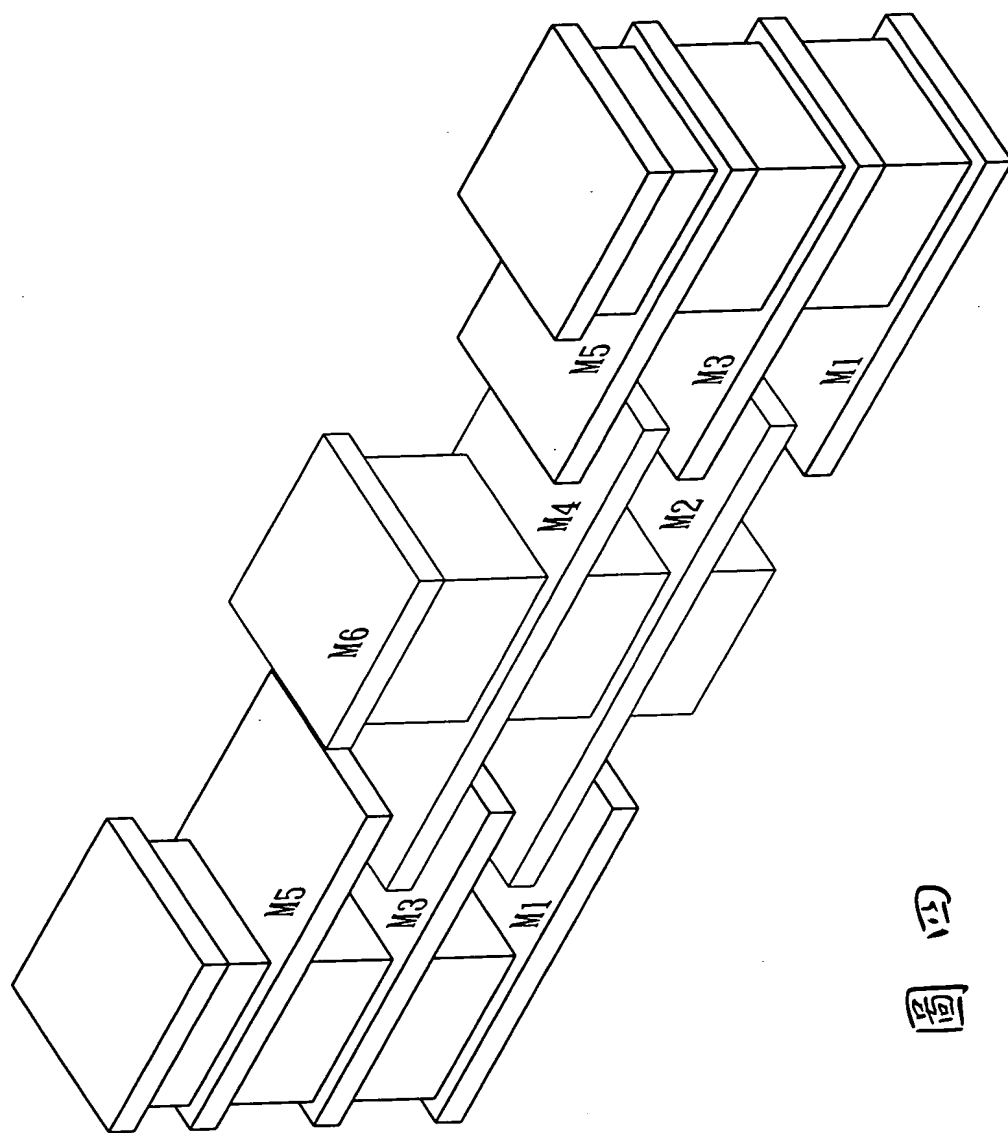


圖 14

型式	2.4GHz		5GHz	
	S11(dB)	S21(dB)	S11(dB)	S21(dB)
使用前	-16.70	-0.18	-10.24	-0.57
使用後	-24.29	-0.11	-13.24	-0.33

圖 五

S11

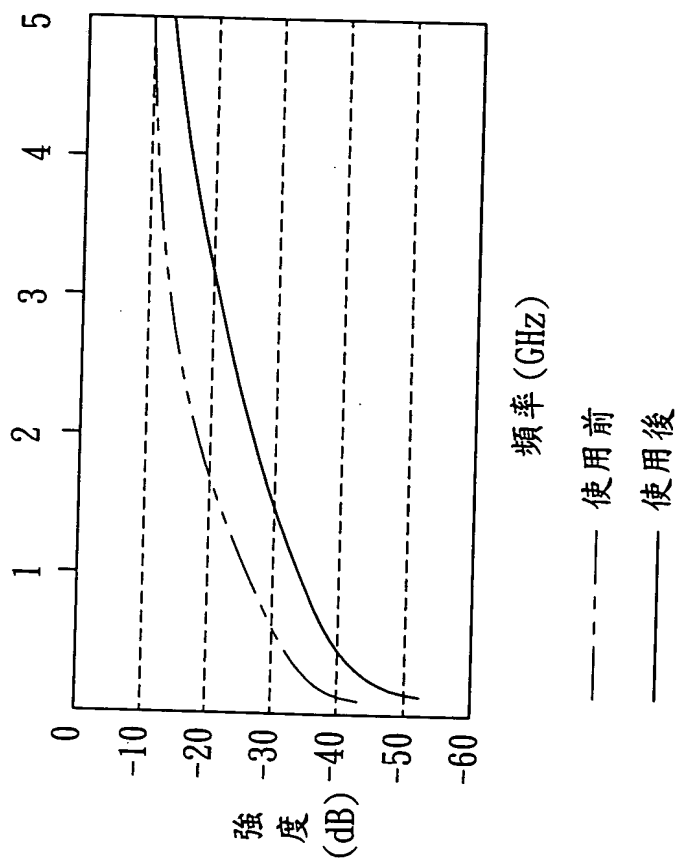
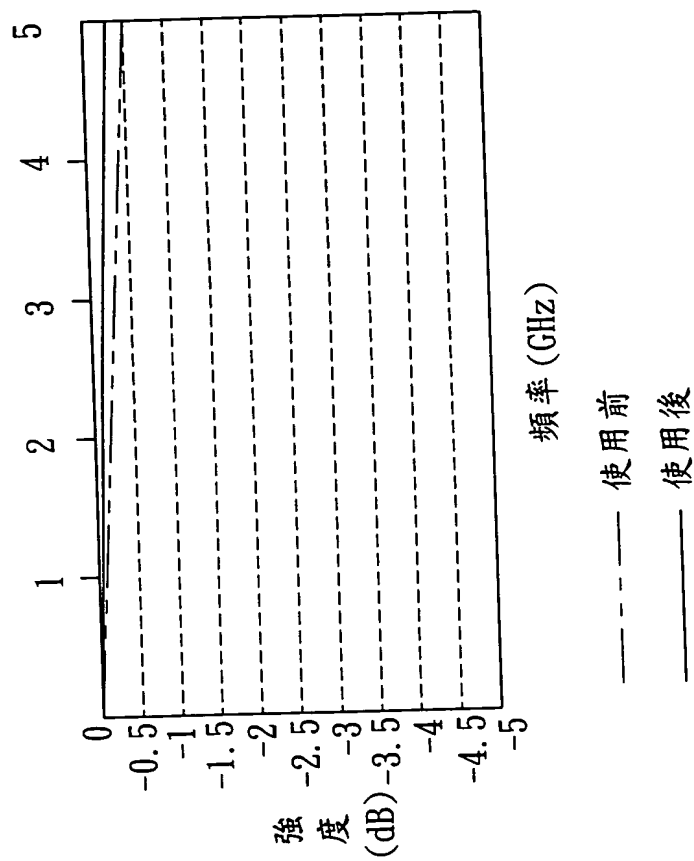


圖 6. A

S21



圖六、B